

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-37068

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/302	J	8518-4M		
21/28	3 0 1 S	9055-4M		
21/318	B	7352-4M		
21/336		9056-4M		
			H 0 1 L 29/ 78	3 1 1 Y

審査請求 未請求 請求項の数3(全 7 頁) 最終頁に続く

(21)出願番号 特願平4-210999

(22)出願日 平成4年(1992)7月15日

(71)出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目1番1号

(72)発明者 浅野 雅朗

東京都新宿区市谷加賀町1丁目1番1号

大日本印刷株式会社内

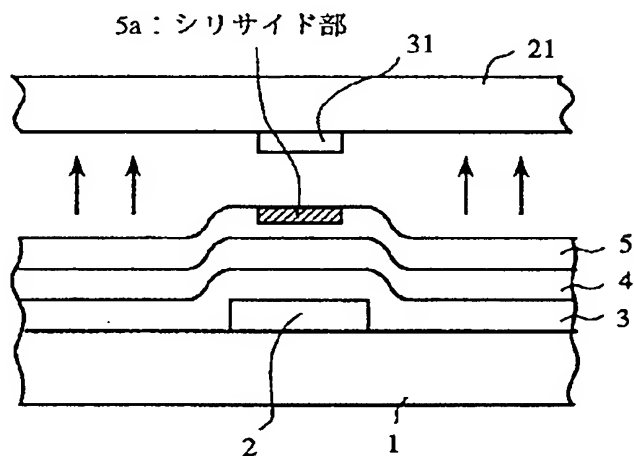
(74)代理人 弁理士 志村 浩

(54)【発明の名称】 半導体装置のパターニング方法

(57)【要約】

【目的】 フォトリソグラフィ法より単純なプロセスでパターニングを行うことができるパターニング方法を提供する。

【構成】 基板1上に積層された各層のうちのSiNxからなる層5をパターニングする。Crからなるシリサイド形成材料層31が所定のパターンで形成されたパターニング用基板21を用意し、これを層5に熱圧着させる。パターニング用基板21をどけると、CrとSiNxとの化合物であるシリサイドが層5上に生成され、シリサイド部5aが形成される。このシリサイドとSiNxとの間でのエッチングレート異なるドライエッチングを行えば、シリサイド部5aをマスクとして利用したパターニングができる。



【特許請求の範囲】

【請求項 1】 製造工程途中の半導体装置を構成する第 1 の材料からなる第 1 の層について、その一部を除去することによって所定のパターンを形成する半導体装置のパターニング方法であって、

第 2 の材料からなる第 2 の層が前記所定のパターンで形成されているパターニング用基板を用意し、

前記第 1 の層と前記第 2 の層とが互いに触れ合うように、前記パターニング用基板を前記半導体装置に接触させ、前記第 1 の材料と前記第 2 の材料との接触により化学反応が起こるような所定の条件を保ち、前記第 1 の材料と前記第 2 の材料との接触部に両者の化合物を生成し、

前記パターニング用基板を取り去った後、前記第 1 の材料と前記化合物との間でのエッチングレートが異なるエッチング方法により、前記第 1 の層の一部をエッチング除去することを特徴とする半導体装置のパターニング方法。

【請求項 2】 請求項 1 に記載のパターニング方法において、第 1 の材料または第 2 の材料としてシリコンを用い、化合物としてシリサイドを生成させるようにしたことを特徴とする半導体装置のパターニング方法。

【請求項 3】 請求項 1 に記載のパターニング方法において、薄膜トランジスタの一部を構成する層を第 1 の層として用いたことを特徴とする半導体装置のパターニング方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は半導体装置のパターニング方法、特に、薄膜トランジスタ、太陽電池、各種センサ、などの製造に適したパターニング方法に関する。

【0002】

【従来の技術】 一般的な半導体装置は、半導体基板上に複数の層をそれぞれ様々なパターンで積層させた構造をもつ。このため、半導体装置の製造工程では、半導体基板上への層の形成と、形成した層に対するパターニングとが繰り返して行われる。従来用いられている最も一般的なパターニング方法は、フォトリソグラフィ法である。この方法では、パターニング対象となる層の上にレジスト層を形成し、このレジスト層上に所定のパターンが描かれたマスクを載せた状態で露光し、レジスト層を現像して露光部分または非露光部分を除去し、残ったレジスト層を保護膜として用い、パターニング対象層のエッチングが行われる。

【0003】

【発明が解決しようとする課題】 上述したフォトリソグラフィ法では、対象となる 1 つの層をパターニングするために、①レジスト層の形成、②マスクを用いた露光、③レジスト層の現像、④エッチング、という 4 つの段階が必要になる。一般に、1 つの半導体装置を製造するた

めには、多数の層に対するパターニングが必要になるため、全製造プロセスを完了するまでには、非常に多数の段階からなる複雑な処理を行わねばならない。このため、製造に時間がかかりコストも高くなるという問題があった。

【0004】 そこで本発明は、より単純なプロセスによりパターニングを行うことができる半導体装置のパターニング方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、製造工程途中の半導体装置を構成する第 1 の材料からなる第 1 の層について、その一部を除去することによって所定のパターンを形成する半導体装置のパターニング方法において、第 2 の材料からなる第 2 の層が所定のパターンで形成されているパターニング用基板を用意し、第 1 の層と第 2 の層とが互いに触れ合うように、パターニング用基板を半導体装置に接触させ、第 1 の材料と第 2 の材料との接触により化学反応が起こるような所定の条件を保ち、第 1 の材料と第 2 の材料との接触部に両者の化合物を生成し、パターニング用基板を取り去った後、第 1 の材料と化合物との間でのエッチングレートが異なるエッチング方法により、第 1 の層の一部をエッチング除去するようにしたものである。

【0006】

【作 用】 本発明に係るパターニング方法は、いわばスタンプを押す要領でパターンの転写を行ってゆくものである。すなわち、スタンプ版の役割を果たすパターニング用基板には、予め所定のパターンで第 2 の層が形成されている。この第 2 の層に形成されたパターンを、パターニング対象となる第 1 の層に転写するのである。具体的には、第 2 の層と第 1 の層とを接触させ、所定の温度に保つなどの方法により、両材料間で化合物を生成させるのである。第 1 の層上では、第 2 の層と接触していた部分にだけ化合物が生成されるようになるため、スタンプ版のパターンイメージが転写されることになる。このあとは、化合物が生成された部分とそれ以外の部分とで、エッチングレートの異なるようなエッチングを行えば、スタンプ版のパターンイメージどおりのエッチングが行われることになる。この方法によれば、①パターンの転写、②エッチング、という 2 段階の処理により、1 つの層に対するパターニングが完了する。

【0007】

【実施例】 以下、本発明を図示する実施例に基づいて説明する。ここでは、薄膜トランジスタの製造プロセスに本発明を適用した実施例について説明を行うことにする。図 1～図 3 は、この薄膜トランジスタの製造プロセスを順に示す断面図である。まず、図 1 に示すように、ガラス基板 1 の上に、アルミニウムやクロムなどの導電性材料からなるゲート電極 2 を形成する。続いて、図 2 に示すように、この上に、SiNx などからなる絶

縁層3を形成し、その上に、 $a-Si:H$ （水素を添加したアモルファスシリコン）などからなる真性半導体層4を形成し、更にその上に、 $SiNx$ などからなるエッチングストップ層5を形成する。ここまでは、従来の一般的な薄膜トランジスタの製造工程と全く同じである。

【0008】続いて、エッチングストップ層5のパターニングを行う。従来は、フォトリソグラフィ法を用いたパターニングを行っていたが、本発明によるパターニング法では、次のような処理を行う。まず、図3に示すようなパターニング用基板21（この実施例では、低膨張ガラスが用いられている）を用意する。このパターニング用基板21の表面には、シリサイド形成材料層31が所定のパターンで形成されている。このパターニング用基板21は、いわばスタンプ版としての役割を果たすものであり、エッチングストップ層5に転写すべきパターンが、予めシリサイド形成材料層31によって形成されている。シリサイド形成材料層31は、エッチングストップ層5の材料と所定の条件で反応し、シリサイドを生成するような材料から構成されている。この実施例では、エッチングストップ層5は $SiNx$ であり、シリサイド形成材料層31は Cr からなる。こうして用意したパターニング用基板21を、図3の矢印に示すように、エッチングストップ層5の上面に押し付け、シリサイド形成材料層31がエッチングストップ層5に接触するようにする。ここで、ある程度の圧力でパターニング用基板21を押し付けながら、温度を $150\sim400^{\circ}C$ に保つようにする。このような熱圧着を行った後、図4に示すように、パターニング用基板21を取り去ると、エッチングストップ層5とシリサイド形成材料層31との接触部に、シリサイド部5aが生成される。すなわち、熱圧着を行った結果、 $SiNx$ と Cr との化学反応により、両者の化合物としてシリサイド（ Cr_3Si 、 Cr_2Si_3 など）が生成されるのである。いわば、スタンプ版としてのパターニング用基板21によって、スタンプを押すことにより、エッチングストップ層5の表面にスタンプ印（シリサイド部5a）が形成されたことになる。

【0009】なお、本願図面では、説明の便宜上、各層の厚みを実寸の比率では示していないが、実際には、シリサイド形成材料層31の厚み（たとえば、 $1\mu m$ 程度）は、エッチングストップ層5の厚み（たとえば、 $0.05\mu m$ 程度）に比べて十分に厚く、パターニング用基板21の厚みは更に厚い（たとえば、 $1mm$ 程度）。したがって、上述のような熱圧着処理により、エッチングストップ層5側にシリサイド部5aが生成されたとしても、シリサイド形成材料層31側にはほとんど変化はなく、同一のパターニング用基板21を用いて、多数のエッチングストップ層5に対して繰り返し熱圧着処理を行うことが可能である。したがって、スタンプ版としてのパターニング用基板21を一度作成しておけば

（これは、たとえば、従来のフォトリソグラフィ法などで作成すればよい）、多数の半導体装置に対してパターンの転写処理を行うことができる。

【0010】さて、図4に示すように、シリサイド部5aとしてパターンの転写が完了したら、このシリサイド部5aをマスクとして、エッチングストップ層5に対するエッチング処理を行うことができる。すなわち、エッチングストップ層5とシリサイド部5aとの間でのエッチングレートが異なるエッチング方法を用い、エッチングストップ層5の一部をエッチング除去する処理を行えば、図5に示すように、エッチングストップ層5の一部のみをエッチングストップ部5bとして残すことができる。このような選択的なエッチング方法としては、 SF_6 、 CF_4 といったエッチングガスをプラズマ化した雰囲気中にエッチングストップ層5を曝すドライエッチングを行えばよい。このようなドライエッチングでは、シリサイドに比べて $SiNx$ のエッチング速度が10倍以上大きくなるため、シリサイド部5aをマスクの代用として利用することができる。

【0011】本発明によるパターニング方法の特徴は、上述したように、①パターンの転写（パターニング用基板21による熱圧着）、②エッチング（①によって生成されたシリサイド部5aをマスクとして用いる選択的エッチング）、という2段階の処理により、エッチングストップ層5に対するパターニングを行う点にある。従来のフォトリソグラフィ法によるパターニングに比べ、工程数は減少し、処理時間を短縮することができる。

【0012】続いて、薄膜トランジスタの製造工程の説明を更に進めよう。次の処理は、図5に示す状態において、真性半導体層4に対するパターニングを行う処理である。やはり従来は、フォトリソグラフィ法を用いたパターニングを行っていたが、本発明によるパターニング法では、次のような処理を行う。まず、図6に示すようなパターニング用基板22を用意する。このパターニング用基板22の表面には、シリサイド形成材料層32が所定のパターンで形成されており、このパターニング用基板22をスタンプ版として用い、真性半導体層4にパターン転写を行うわけである。やはり、シリサイド形成材料層32は、真性半導体層4の材料と所定の条件で反応し、シリサイドを生成するような材料（この実施例では Cr ）から構成されている。こうして用意したパターニング用基板22を、図6の矢印に示すように、真性半導体層4の上面に押し付け、シリサイド形成材料層32がエッチングストップ部5bおよび真性半導体層4の上面に接触するようにする。なお、前述したように、シリサイド形成材料層32の実際の厚みは $1\mu m$ 程度であり、エッチングストップ部5bの厚みや真性半導体層4に形成された段差（ $0.05\mu m$ 程度）に比べて非常に厚いため、半導体装置上面に形成された段差に応じて、シリサイド形成材料層32には機械的な撓みが生じ、シ

リサイド形成材料層32はエッチングストップ部5bおよび真性半導体層4の上面にほぼ均一に接触することができる。ここで再び、温度を150～400℃に保ちながら熱圧着を行う。すると、真性半導体層4とシリサイド形成材料層32との接触部に、図7に示すように、シリサイド部4aが生成される。そこで、アモルファスシリコンとシリサイドとの間でのエッチングレートが異なるエッチング方法を用い、真性半導体層4の一部をエッチング除去する処理を行えば、図8に示すように、真性半導体層4の一部のみが残り、チャンネル層4bが形成されることになる。このように、チャンネル層4bを形成するためのパターニングにおいても、本発明を適用すれば、わずか二工程の処理で済む。

【0013】薄膜トランジスタの製造工程の説明を更に進めよう。図9に示すように、不純物ドーブ層6（たとえば、n⁺アモルファスシリコン層）を堆積させ、この不純物ドーブ層6に対してパターニングを行う。従来は、やはりフォトリソグラフィ法を用いたパターニングを行っていたが、本発明によるパターニング法では、次のような処理を行う。まず、図10に示すようなパターニング用基板23を用意する。このパターニング用基板23の表面には、シリサイド形成材料層33が所定のパターンで形成されており、このパターニング用基板23をスタンプ版として用い、不純物ドーブ層6上にパターン転写を行うわけである。ここでも、シリサイド形成材料層33は、不純物ドーブ層6の材料と所定の条件で反応し、シリサイドを生成するような材料（この実施例ではCr）から構成されている。こうして用意したパターニング用基板23を、図10の矢印に示すように、不純物ドーブ層6の上面に押し付け、シリサイド形成材料層33が不純物ドーブ層6の上面に接触するようにする。やはり、シリサイド形成材料層33の実際の厚みは1μm程度であり、不純物ドーブ層6に形成された段差に比べて非常に厚いため、シリサイド形成材料層33は不純物ドーブ層6に対してほぼ均一に接触することができる。こうして、温度を150～400℃に保ちながら熱圧着を行う。すると、不純物ドーブ層6とシリサイド形成材料層33との接触部に、図11に示すように、シリサイド部6aが生成される。そこで、アモルファスシリコンとシリサイドとの間でのエッチングレートが異なるエッチング方法を用い、不純物ドーブ層6の一部をエッチング除去する処理を行えば、図12に示すように、不純物ドーブ層6の一部のみが残り、ドレイン側ドーブ層6bとソース側ドーブ層6cとが形成されることになる。

【0014】さて、最後に、図13に示すように、ドレイン電極層7aおよびソース電極層7bを形成し、続いて、表示電極層8を形成すれば、薄膜トランジスタの基本構成要素の生成処理は完了する。結局、以上のプロセスでは、エッチングストップ層5のパターニング、真性

半導体層4のパターニング、そして、不純物ドーブ層6のパターニング、という3とおりのパターニングを本発明によるパターニング法で実施したことになる。このため、全工程は従来の方法に比べてかなり単純化され、時間もコストも低減させることができる。

【0015】以上、本発明を図示する実施例に基づいて説明したが、本発明はこの実施例のみに限定されるものではなく、この他にも種々の態様で実施可能である。特に、シリサイド形成材料としては、上述の実施例ではCrを用いたが、この他の材料を用いてもかまわない。一般に、シリサイドとしては、Cu₃Si、Cr₃Si、Ni₃Si、Ca₃Si₂、Fe₃Si₂、Co₃Si₂、Ni₃Si₂、Cr₂Si₃、Mo₂Si₃、W₂Si₃、Ni₂Si₃、CoSi₃、などが知られており、要するに、シリコンとそれよりも電気的に陽性な元素（特に金属元素）との二元化合物がシリサイドとなる。したがって、シリサイド形成材料としては、Crの他にも、Ca、Fe、Co、Ni、Cu、Mo、Wなどの金属を用いることができる。また、上述の実施例では、シリコン層をパターニングするために、Crからなるシリサイド形成材料層が形成されたスタンプ版を用いているが、これとは全く逆に、Crなどの金属層をパターニングするために、シリコンからなるシリサイド形成材料層が形成されたスタンプ版を用いるようにしてもよい。また、必ずしもシリコン層が必要なわけではなく、化合物として必ずしもシリサイドを生成する必要もない。要するに、本発明は、第1の材料からなる第1の層についてのパターニングを行う場合に、この第1の材料と所定条件で接触させることにより化合物を生成するような性質をもった第2の材料からなる第2の層によってスタンプ版を作成し、このスタンプ版によって第1の層上に化合物からなるパターンを形成させ、選択的なエッチングを行うことによりパターニングを行うという技術思想に基づくものであり、この技術思想から逸脱しない限り、どのような態様で実施してもかまわない。

【0016】したがって、本発明は、薄膜トランジスタの製造プロセスへの利用に限定されるものでもない。しかしながら、本発明に係るパターニング方法は、パターニング用基板を物理的に接触させる必要があるため、フォトリソグラフィ法に比べて寸法精度を向上させることが困難であるという性質があるため、MOSトランジスタなど、寸法精度を要求する半導体装置の製造に用いるよりは、薄膜トランジスタ、太陽電池、各種センサ、などの比較的寸法精度が要求されない半導体装置の製造に用いる方が好ましい。

【0017】

【発明の効果】以上のとおり本発明に係る半導体装置のパターニング方法によれば、パターニング用基板を用いてパターンの転写を化合物の生成という形で行った後、選択的なエッチングを施すことによりパターニングを行

うようにしたため、より単純なプロセスによりパターニングを行うことができるようになる。

【図面の簡単な説明】

【図 1】 一般的な薄膜トランジスタの製造工程の初期の段階を示す断面図である。

【図 2】 図 1 に示す状態に続いて、3つの層を形成した状態を示す断面図である。

【図 3】 図 2 に示す状態において、エッチングストップパ層 5 を本発明に係る方法でパターニングする第 1 段階を示す断面図である。

【図 4】 図 3 に示す第 1 段階が完了したときの状態を示す断面図である。

【図 5】 図 3 に示す第 1 段階に続いて行われる本発明に係るパターニングの第 2 段階を示す断面図である。

【図 6】 図 5 に示す状態において、真性半導体層 4 を本発明に係る方法でパターニングする第 1 段階を示す断面図である。

【図 7】 図 6 に示す第 1 段階が完了したときの状態を示す断面図である。

【図 8】 図 6 に示す第 1 段階に続いて行われる本発明に係るパターニングの第 2 段階を示す断面図である。

【図 9】 図 8 に示す状態において、更に不純物ドーブ層 6 を形成した状態を示す断面図である。

【図 10】 図 9 に示す状態において、不純物ドーブ層 6 を本発明に係る方法でパターニングする第 1 段階を示す断面図である。

【図 11】 図 10 に示す第 1 段階が完了したときの状態を示す断面図である。

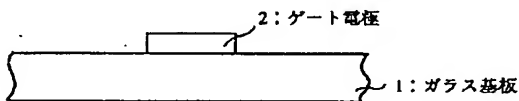
【図 12】 図 10 に示す第 1 段階に続いて行われる本発明に係るパターニングの第 2 段階を示す断面図である。

【図 13】 図 12 に示す状態において、更にいくつかの層を形成し、薄膜トランジスタの主要部分を構成した状態を示す断面図である。

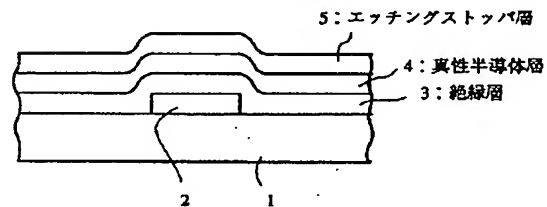
【符号の説明】

- 1…ガラス基板
- 2…ゲート電極
- 3…絶縁層
- 4…真性半導体層
- 4a…シリサイド部
- 4b…チャネル層
- 5…エッチングストップパ層
- 5a…シリサイド部
- 5b…エッチングストップパ部
- 6…不純物ドーブ層
- 6a…シリサイド部
- 6b…ドレイン側ドーブ層
- 6c…ソース側ドーブ層
- 7a…ドレイン電極層
- 7b…ソース電極層
- 8…表示電極層
- 21, 22, 23…パターニング用基板
- 31, 32, 33…シリサイド形成材料層

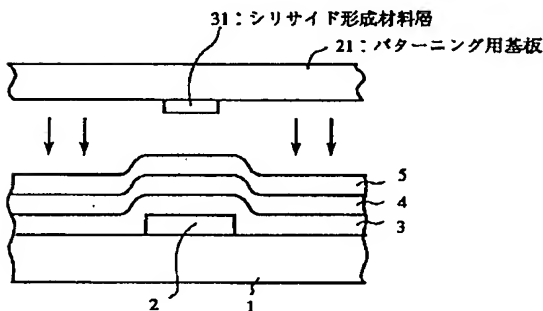
【図 1】



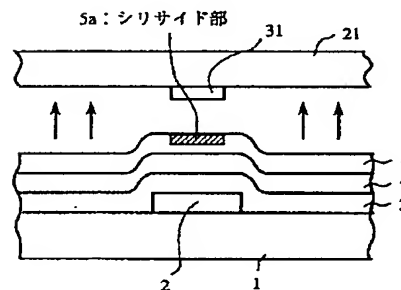
【図 2】



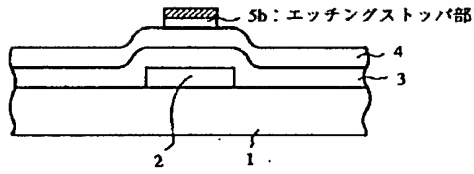
【図 3】



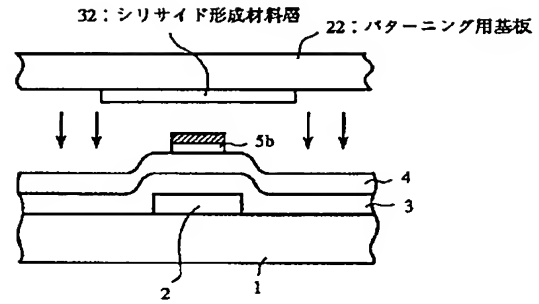
【図 4】



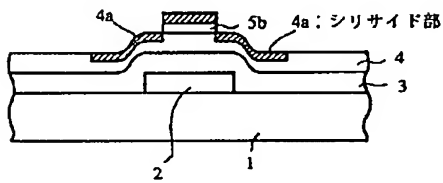
【図5】



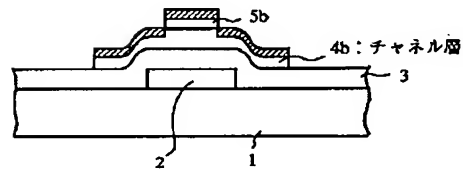
【図6】



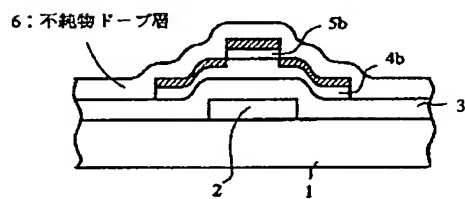
【図7】



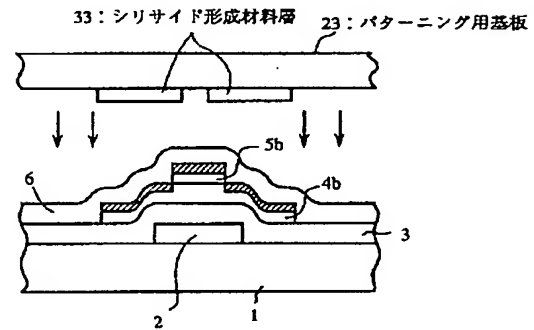
【図8】



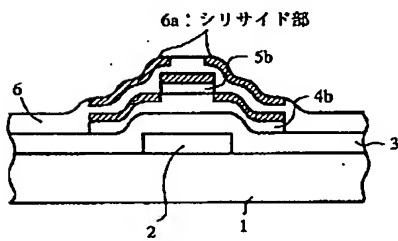
【図9】



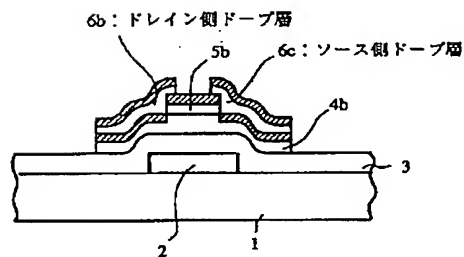
【図10】



【図11】



【図12】



7a: ドレイン電極層

6b

5b

7b: ソース電極層

6c

4b

8: 表示電極層

3

2

1

下部（ハッチング部分）は、電気抵抗が低くなる。したがって、実用上は、ソース・ドレイン間のもれ電流をなくすために、このシリサイド部をエッチングで除去しておくのが好ましい。結局、以上のプロセスでは、エッチングストップ層5のパターニング、真性半導体層4のパターニング、そして、不純物ドーパ層6のパターニング、という3とおりのパターニングを本発明によるパターニング法で実施したことになる。このため、全工程は従来の方法に比べてかなり単純化され、時間もコストも低減させることができる。

技術表示箇所